

Elektroniikan valmistusmenetelmät vuonna 2005

Katse vuosituhannen tuolle puolen

Tämän hetken matkapuhelimet, multimedia- ja verkotietokoneet edustavat vain jäävuoren huippua tulevaisuuden tuotteista. Elektroniikkateollisuudessa on tapahtumassa suuria muutoksia teknologisten tavoitteiden siirtyessä kannettaviin ja langattomiin järjestelmiin sekä verkottumiseen.

Ennusteiden mukaan vuonna 2005 yli 60 prosenttia elektroniikkalaitteista on kannettavia ja tuotteiden merkittävin trendi on miniatyrisointi. Tuotteet halutaan tehdä keveiksi, pieniksi, modulaarisiksi ja halvoiksi, mutta samalla vaatimuksina ovat myös suuri nopeus, tehokkuus, luotettavuus ja käyttäjäystävällisyys.

Tulevaisuuden kannettavia tuotteita ei voi enää toteuttaa käyttämällä erillisiä passiivisia komponentteja ja koteloituja puolijohdekomponentteja sekä perinteisiä piirilevy- ja pintaliitostekniikoita.

Oulun yliopiston, VTT Automaation ja VTT Elektroniikan TEKESin ja teollisuuden rahoituksella toteuttaman Elektroniikkatehdas 2005 -projektin tavoitteena oli tuottaa kuvaus elektroniikan tuotanto- ja valmistusteknologioiden näkymistä vuonna 2005 ja analysoida suomalaisen elektroniikkateollisuuden sopivat konseptit kehityshankkeiden toteutusta varten.

Projekti jakautui neljään osatehtävään: tulevaisuuden elektroniikkatuotannon peruskonseptit, tuotannon kokonaisuohjaus liittyen yrityksen tietojärjestelmiin, älykkäät tuotantosolut ja kuljetusjärjestelmät sekä tulevat valmistusteknologiat. Projektin tuloksista on valmistunut raportti, joka julkaistaan kevään kuluessa. Seuraavassa esitellään valmistusteknologiaa luodan osatehtävän keskeiset tulokset.

Piin peittämä ala nousee 80 prosenttiin. Tämän hetken pakkaustehokkuus (piin osuus liitosalustan

pinta-alasta) on matkapuhelimissa ja videokameroissa noin 10 prosenttia, ja se saavutetaan pääasiassa perinteisellä pintaliitostekniikalla: QFP-koteloidut (QFP=quad flat package) komponentit ovat 4–8 kerroksisilla piirilevyillä, joissa voi olla soikeita ja haudattuja läpivientejä. Huipputuotteissa on jo käytössä uusia lähes puolijohteen kokoisia mikropakkauksia (CSP = chip scale package) ja kotelottomia puolijohdesiruja (flip chip -komponentit) sekä mikroläpivientejä sisältäviä liitosalustoja.

Lähivuosina pintaliitostekniikka on yhä edelleenkin merkittävin elektroniikan kokoonpanotekniikka. Erityyppiset tiheimmät pintaliitoliitoskomponentit, kuten BGA, CSP ja paljaat puolijohdesirut (flip chip) ovat voimakkaasti tulossa (katso sivu 29). Perinteisen piirilevytekniikan asteittainen kehitys jatkuu, mutta uusia ratkaisuja tarvitaan tiheiden integroitujen liitosalustojen aikaansaamiseksi. Lyijyttömät juotteet ja liimat ovat voimakkaan mielenkiinnon ja kehitystyön kohteena.

Noin **viiden vuoden** tähtäimellä pakkaustehokkuuden voidaan olettaa kasvavan 40 prosenttiin. Tämä saadaan aikaan BGA-, CSP- ja flip chip-komponenteilla sekä tiheillä mikroläpivientejä sisältävillä liitosalustoilla. Passiivikomponentit ovat osittain integroituja. Taulukossa 1 on esitetty esimerkkinä arvio matkapuhelimien liitos- ja liitosalustatekniikan kehittymisestä vuoteen 2005 mennessä.

Pakkaustekniikan tavoitteena seuraavien noin **kymmenen**



vuoden aikana on jopa 10-kertainen parannus edullisuudessa, koossa ja suorituskyvyssä nykyiseen tasoon verrattuna.

Kannettavuustavoite saavutetaan komponenttien ja liitosalustojen kokonaisvaltaisella integroimisella. Alustan sisäkerrokseen valmistetut passiivikomponentit eivät vie tilaa pinnalta, jolloin nystykomponentit, kuten puolijohteen kokoiset pakkaukset ja flip chipit voidaan liittää hyvin lähelle toisiaan ja pakkaustehokkuus nousee nykyisestä vajaan 10 prosentista aina 80 prosenttiin. Tämä vähentää painoa, minimoi kokoonpanoa ja säästää liitosalustan tilaa.

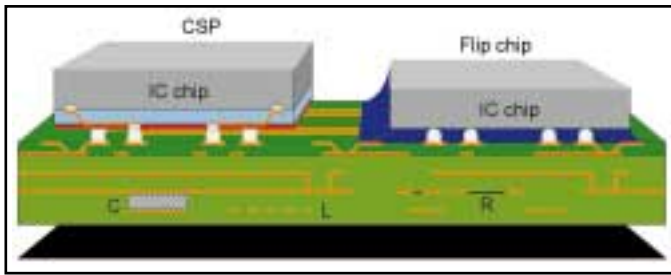
Kuva 1 esittää tulevaisuuden integroitua liitosalustaa, jossa pakkaustiheydestavoite on toteutu-

nut. Integroitu substraatti sisältää eristekerroksia, tiheitä metallikerroksia, valojohtimia, vastuksia, induktansseja ja kondensaattoreita.

Korkean suorituskyvyn vaatimus saavutetaan sekä kehittämällä parempia materiaaleja että lisäämällä pakkaustiheyttä.

Hintatavoite saavutetaan halvoilla materiaaleilla ja laaja-alaprosessoinnilla, jossa saanto olisi korkea ja testaustarve vähäinen. Liitäntöjen sähköisen testauksen kustannukset pidetään kohtuullisina testamalla laaja-alaisia piirilevyjä ennen niiden paloittelua.

Uudet rakenteet suunnitellaan kokonaisvaltaisella systeemitason menetelmällä, joka sisältää kehittyneet suunnittelutyökalut



Visio tulevaisuuden pakkausintegraatiosta; rakenne sisältää muun muassa haudattuja passiivikomponentteja, mikroläpiviertejä, puolijohteen kokoisia pakkauskäytöksiä ja valojohtimia. Korvaamalla perinteiset pintaliitoskotelot uusilla tiheillä komponenteilla voidaan viiden vuoden kuluessa peittää 40 prosenttia piirilevyn alasta. Kuvassa kaksi juotosnystyjen avulla lähekkäin liitettyä IC-piiriä, puolijohteen kokoinen pakkaus (CSP) ja kääntöliitetty puolijohdepala (flip chip).

Matkapuhelinten valmistuksen trendejä

	1997	2000	2005
Liittäminen			
- osia/neliötuuma	80	70	60
- suurin komponentti	144 QFP	256 CSP	308 CSP
- minimi liitosjakoväli	0.5 mm	0.5 mm	0.5 mm
Liitosalusta			
- materiaali	FR-4	pieni häviöinen.	pieni häviöinen
- keskimääräinen pinta-ala	40 cm ²	40 cm ²	40 cm ²
- keskimääräinen kerros määrä	6	6	4
- viivojen leveys/väli	150mm/150mm	100mm/100mm	75mm/75mm
- läpiviennin halkaisija	300mm	250mm	250mm
- mikroläpiviennin halkaisija	125mm	100mm	75mm
- kauluksen halkaisija	300mm	250mm	250mm
- reikien määrä: mek./mikrol.	1000/2000	1000/3000	1000/4000

Taulukko 1. Matkapuhelinten liitos- ja liitosalustatekniikan kehitystrendit.

ja mallit kompleksiselle simuloinnille.

Teknisten ja taloudellisten kehitysnäkymien toteutuminen merkitsee myös suurien IC-palojen tarpeen vähenemistä, koska pienemmällä IC-paloilla ja integroidulla liitosalustalla saadaan tarvittava transistoritiheys. Tämä tulee laskemaan kokonaishintatasoa, koska pienempien IC-piirien valmistussaannot ovat korkeampia.

Teollisuuden tarpeet

Kyselytutkimuksessa selvitettiin kotimaisen elektroniikkateollisuuden ja tutkimuslaitosten näkemyksiä eri valmistusteknologioiden tärkeydestä yrityksen kannalta nyt ja viiden vuoden kuluttua. Kysymykset koskivat liitosalustoja ja niiden valmistusprosesseja, liitostekniikoita, suunnittelua ja testausta. Seuraavassa on tuloksia lyhyesti.

Tiheet integroidut piirilevyteknikat nähtiin erittäin merkittävänä jo nyt (lähes puolet vastanneista) ja varsinkin viiden vuoden kuluttua (lähes 80 %). Tässä sekä tuotekehitys- että tuotantohenkilöiden näkemykset olivat varsin yhtenevät. Noin kolmannes pitää erittäin **kapeiden ja tiheiden johtimien** (Ultra fine-line -tekniikka) valmistuksen merkittävänä nyt. Viiden vuoden kuluttua tekniikka on

erityisen tärkeä alihankkijoille (yli 70%) ja myös tuotekehitykselle (lähes 60 %). Noin puolet pitää **passiivikomponenttien integrointia** merkittävänä viiden vuoden kuluttua.

Pakkauksen testaus ja luotettavuus on luonnollisesti tuotteita tekeville yrityksille tärkeä tällä hetkellä ja tulevaisuudessa. Myös alihankkijoille aiheen merkitys kasvaa jatkossa. Tuotantoyritykset näkevät **pakkauksen kokonaissuunnittelun** tärkeänä, mikä korostuu vielä viiden vuoden kuluttua. Alihankintayrityksille aihe on vähemmän tärkeä, vaikka merkitys lisääntyy tulevaisuudessa. **Termomekaaninen suunnittelu** nähdään jo tällä hetkellä tuotekehityksessä ja tuotannossa tärkeänä, viiden vuoden kuluessa senkin tärkeys korostuu.

Nopean elektroniikan pakkaustekniikka on tällä hetkellä merkittävää noin neljännekselle, viiden vuoden kuluttua yli puolelle vastanneista.

Uusien ja lyijyä korvaavien **liitosmenetelmien** (flip chip -bondaus ja liimat) käytöllä on tärkeä asema viiden vuoden kuluttua.

Laserprosessointia ei tällä hetkellä pidetä kovin merkittävänä, mutta viiden vuoden kuluttua kuitenkin jo noin puolet vastanneista pitää aihetta tärkeänä tai erittäin tärkeänä.

keänä tai erittäin tärkeänä.

Monikerroskeraamiliitosalustat on kehittyvä teknologia, jolla ei vielä ole monille merkittävää. Kasvupotentiaalia nähdään erityisesti tuotekehityksessä ja alihankkijoiden parissa.

Kartoituksen yhteenvedon voidaan todeta, että teollisuudessa suurimmat valmistusteknologian kehittämistarpeet ovat integroiduissa piirilevyteknikoissa sisältäen kapeat johdotukset, passiivikomponenttien integroinnin, laserprosessoinnin ja suunnittelun. Uudet liitosmenetelmät nähdään erittäin tärkeinä, samoin monikerroskeraamiliitosalustat. Näistä onkin ollut jo vuoden käynnissä "Uudet integroidut liitosalustat"-projekti (katso sivu 36).

Edellä kuvatut teknologia- ja teollisuuden tarpeet tukevat voimakkaasti suunnitelmia panostaa edelleen tiheiden integroitujen liitosalustojen kehittämiseen, sekä näistä ja paljasta puolijohdesiruista ja BGA- ja CSP-komponenteista koostuvien mikromoduulien tuotantotekniikan ja molempiin läheisesti liittyvien suunnittelu-, tarkastus- ja testausmenetelmien kehittämiseen.

Erityisen suuri potentiaali nähdään RF-sovelluksiin ja vaa-

ntiin ympäristöolosuhteisiin soveltuvalla LTCC-tekniikalla (low temperature cofired ceramics = monikerroskeraamiliitosalustojen valmistustekniikka), jonka proto- ja piensarjojen valmistuksen tarjonta Euroopassa ja muuallakin maailmassa on vähäistä. ●



DI Tuomo Jaakola toimii VTT Elektroniikassa valmistustekniikan ryhmässä erikoistutkijana.



Professori Seppo Leppävuori toimii Oulun yliopiston Mikroelektronikan laboratorion esimiehenä.



TKT Antti Uusimäki toimii Oulun yliopiston Mikroelektronikan laboratoriossa yli-insinööriä.



TKT Jouko Vähäkangas toimii VTT Elektroniikassa valmistustekniikan ryhmän päällikkönä.

ENGLISH SUMMARY

Plant 2005

Great changes are taking place in the manufacture of electronics due to, for example, the trend towards portable products, where low weight and small size are of great importance. Accordingly one must be able to integrate more and more functions in a smaller volume at lower cost. In this paper the electronics manufacturing technologies potential for fulfilling these demands are described and a vision of the structure of future integrated electronics module is given. Also the views of Finnish electronic industry as to the importance of different manufacturing technologies at present and after five years are presented. Finally recommendations for future work are given.

Aiheesta syvemälle

1. M. Sage, E. Cariou, "The Revolution in Communications", Future Circuits International, Issue 1, Volume 2, 1997, pp.15-18.
2. I. Turlik, et al., "Chip-Scale Packaging Trends for Portable Electronics", Future Circuits International, Issue 1, Volume 2, 1997, pp.45-48.
3. "Joint Industry Standard: Implementation of Flip Chip and Chip Scale Technology", JEDEC standard J-STD-012, January 1996.
4. "The National Technology Roadmap for Electronic Interconnections", The Institute for Interconnecting and Packaging Electronic Circuits (IPC), 1997.
5. "Roadmaps of Packaging Technology", Integrated Circuit Engineering (ICE), 1997.