

Toimivatko tulevaisuuden langattomat teknologiat? Testaus- ja testattavuus- suunnittelun haasteet



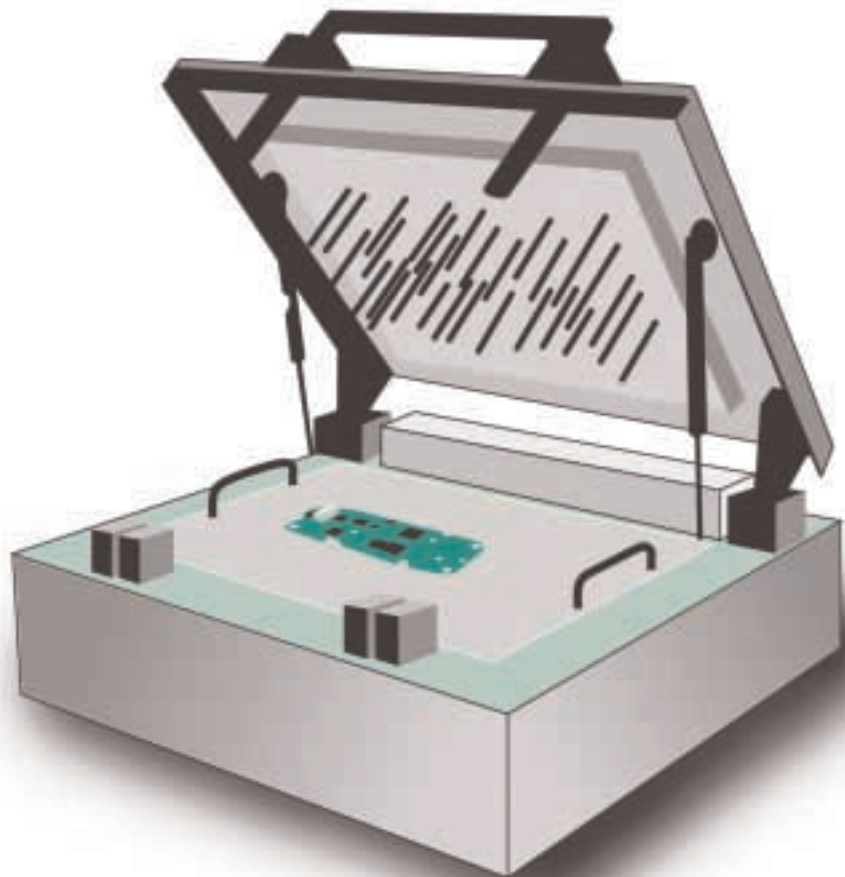
The challenges of testing

The evolution of the technologies of electronics causes serious problems in testing. Due to increased frequency, complexity and miniturization with increasing number of transistors and their interconnections more things can fail. As the dimensions shrink, new failure mechanisms seem to appear that were not been seen before. The integration of digital, analog and mechanical devices on a single substrate (SOC) creates new test challenges such as no external access.

To meet these challenges and to improve the performance and cost effectiveness of testing mixed-signal devices a group of international companies and R&D institutions have been working together to define a mixed-signal test bus standard (1149.4). The standard is compatible with the existing IEEE 1149.1 boundary scan standard used in testing digital devices. Some modified trials of implementing the proposed architecture are lately described but more investigation and development is needed.

The aim of the MIXTE (Development of the testability of Mixed-Signal circuits) project is to investigate the applicability of the Mixed-Signal 1149.4 Architecture based technologies with the aid of the preliminary implementation and comparing the performance of the developed method with the conventionally used testing methods

MIXTE is part of the ELMO Technology Programme (Miniaturising Electronics 2002–2005). Responsible manager of the MIXTE project is prof. Markku Moilanen: markku.moilanen@ee.oulu.fi.



Elektroniikkatuotteiden elinkaari lyhenee, mutta tuotteiden monimutkaisuus, laatu- ja luotettavuusvaatimukset kasvavat samanaikaisesti. Tämä tarkoittaa muun muassa sitä, että tuotteen tuotekehitysajan tulee lyhentyä kilpailukyvyyn säilyttämiseksi.

Ristiriitaiset vaatimukset asettavat suuria haasteita tuotekehitysvaiheeseen, jotta tuoteominaisuudet vastaisivat vaatimuksia ja jotta tuote täyttäisi entistä paremmin muun muassa laatu- ja luotettavuuskriteerit. Tuotteen laadun, luotettavuuden ja tuottavuuden varmistamiseksi testauksella sekä testaus- ja testattavuussuunnittelulla on merkittävä rooli komponentin suunnittelusta asiakasrajapintaan asti.

Yleiset testaushaasteet 80-luvulla HW-, SW- ja testauskehitykset tapahtuivat peräk-

käin, jolloin tuotekehitysaika oli pitkä. Tämä tarkoitti myös testauksen kannalta sitä, että ensin kehitettiin testaus ja testausympäristöt tuotekehityksen tarpeisiin. Sen jälkeen oli vuorossa tuotannon testikehitys ja huoltoon liittyvä testikehitysympäristö.

90-luvulla HW- ja SW-kehitystä tehtiin jo rinnan, mutta testaus ja testausympäristökehitys ei ollut kovin vahvasti mukana osana tuotekehitystä

Tämän vuosikymmenen haaste on saada testaus ja sen kehitys luonnolliseksi osaksi elin-

kaarta mukaan lukien tuotekehitys, tuotanto ja huolto. Lisäksi testauskehityksen itsessään tulee tapahtua rinnan muiden testausosa-alueiden kanssa, jotta tuotekehitysaikojä voitaisiin lyhentää ja muun muassa uudelleenikäytettävyys olisi parempi.

Tuotannollisuusvaatimukset

Tuotteiden monimutkaisuus, testattavien funktioiden määrä ja tuotteiden pieni koko ovat suuri haaste myös testaus- ja testattavuusmielessä. Integrointiasteen kasvun myötä ladottavien komponenttien määrä tuotteissa vähenee. Tämä tarkoittaa sitä, että kokoonpanolinjan kapasiteetti kasvaa.

Toisaalta testauksen määrä perinteisillä mittaustavoilla kasvaa lähinnä tuotteiden kasvaneen kompleksisuuden ja mitattavien funktioiden määrän

vuoksi. Tämä merkitsee käytännössä sitä, että nykyisillä mitaus- ja viritysmenetelmillä ei voida saavuttaa, tai ainakin on erittäin vaikea saavuttaa, tuotanto vaatimuksia. Lisäksi pitää huomoida myös tiukentuneet laatuvaatimukset läpi koko tuotteen elinkaaren liittyen tuotekehitykseen, tuotantoon ja huoltoon.

Integrointiasteen vaikutus testaukseen

Integrointiasteen ja tuotteiden kompleksisuuden kasvu hankaloittaa myös tuotteen diagnoosintia ja vianpaikantamista. Nopea ja tarkka vianpaikantaminen on yksi tärkeimmistä asioista erityisesti huollettaessa tuotteita kentällä, jolloin testauslaitteiden edullisuus on keskeinen vaatimus.

Joissakin tilanteissa vian sijainti tulee tietää komponentin tarkkuudella, jotta se olisi kannattavaa vaihtaa. Erityisesti laitteissa, joissa on digitaali-, analogia- ja RF-osia, sekä (BGA-tyyppisiä (Micro Ball Grid Array) komponentteja, diagnoosintia ja vianpaikantaminen on hankalaa, koska signaaleihin ei pystytä fyysisesti kontaktoitumaan ja erityisten testipisteiden määrä on rajallinen tilanpuutteen takia.

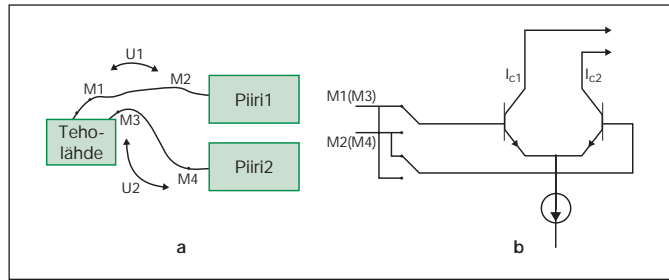
Elinkaarenaikainen testaus ja testattavuus

Oleellinen ja suuri osuus tuotekehityksessä, tuotannossa ja huollossa tapahtuvasta työstä on testausta ja siten se on myös liiketaloudellisessa mielessä tärkeä huomioon otettava seikka.

Testauksen ja testattavuussuunnittelun tulee olla mukana tuotekehityksen alkumetreiltä lähtien, jotta testaus olisi mahdollisimman tehokasta ja kannattavaa, testauskattavuus korkea ja testauksen uudelleenkäytettävyyden hyvä läpi tuotteen elinkaaren. Tämä edellyttää hyvää kokonaisnäkemystä ja kokemusta, toisin sanoen hyvää testausstrategiaa. On hyvä muistaa, että tuotteen laatua ei tehdä testaamalla, vaan testauksella pyritään varmistamaan tuotteen laatu ja luotettavuus.

Sekasignaaliipiirien testattavuus

Digitaalipiirien testaamiseksi on olemassa hyvin tehokkaita testausmenetelmiä. Tutkimusresurssit ovatkin ohjautuneet analogia- ja sekasignaaliipiirien testausjärjestelmien ja testattavuuden kehittämiseksi siihen, miten määritellään testattavuus ja testattavuuden toteutustavat analogia- ja mixed-signal-toteutuk-



Esimerkki ulkoisesta DFT-testausrakenteesta, a) mittaustilanne, b) mittaussiipiiri.

Example of external DFT-test configuration a) measurement b) measuring circuit

sisä.

Sekasignaaliipiirien kompleksisuus ja piirin sisäisten solmujen näkymättömyys testausjärjestelmille ovat syynä siihen, että virheellisten komponenttien diagnoosi ja paikallistaminen ovat hankalia toteuttaa.

Testattavuuden suunnittelu eli DFT (Design for Testability) pyrkii parantamaan sisäisten rakenteiden havaittavuutta ja ohjattavuutta siten, että sisäisten lohkojen funktiot voidaan testata.

Digitaalitoiteutuksista tuttu tapaa on testaustilanteesta eristää mitattava lohko muista lohkoista. Tällöin havaittavuus ja ohjattavuus merkitsevät sisäisiin testipisteisiin pääsyä.

Havaittavuutta ja ohjattavuutta toteutetaan analogiaväyliä ja scan-menetelmiä käyttäen. Toinen tapa on testata piiri käyttäytymisestään, mikä vaatii sisäisrakennettuja itsestestiominaisuuksia eli BIST-rakenteita (Built-In Self-Test). BIST-rakenne on testausta varten piille toteutettu signaaligeneraattori ja analysointilohko.

DFT on määriteltävissä seuraavasti: "Mikä tahansa suunnittelurakenne, mikä voi parantaa kohteen näkyvyyttä testaustilanteessa, pienentää testauskustannuksia tai parantaa vikakattavuutta."

Analogia-DFT on kohdannut jo lyhyen elinkaarensa aikana monia vaikeuksia. Ensinnäkin useimmat DFT-ratkaisut merkitsevät lisäpiirirakenteiden käyttöönottoa, mikä voi alentaa peruspiirin suoritusarvoja sekä lisätä tehonkulutusta ja tarvittavaa kiekkopinta-alaa.

DFT vaatii toteuttamaan uusia suunnitteluratkaisuja, joista ei ole vielä käyttökokemuksia. Monissa ratkaisuissa DFT vaatii analogiafunktioiden toteuttamista. BIST- ja muut piiriratkaisut eivät ota huomioon kohina-, prosessihajonta- ja mittauspätarkuusparametrejä, jotka ovat luontainen osa analogiafunktioiden toteuttamista

Analogiasuunnittelun DFT-ratkaisuja

DFT-ratkaisuille on ominaista, että ne syntyvät pitkälti "hyvään suunnittelutapaan" tai "terveen järkeen" perustuen. Aiempi kokemus määrittellee toteutustapaa. Ad hoc -periaatteet, jotka ovat tuttuja digitaalidft:ssä, ovat nytkin käytettävissä. Siten esimerkiksi takaisinkytkennän on oltava estetävissä. Digitaalidft-liitäntää (Test Access Port) voidaan käyttää testimoodin valintaan ja digitaalimuitselementtejä voidaan sijoittaa analogia-digitaalirajapintaan.

Yllä olevassa kuvassa on esimerkki ulkoisesta DFT-rakenteesta. Rakenteen avulla ulkoisella testausjärjestelmällä voidaan mitata virtaa. Virta-arvo kuvaa tässä tapauksessa mitatun piirin osan virrankulutusta. Itse testausrakenteen on kytkimien varustettu differentiaalipiiri, joka tunnustelee tehonsyöttölinjassa esiintyvää jännite-eroa. Jänniteero syntyy linjan resistiivisyydestä.

Piirin havaittavuuden ja ohjattavuuden vaatimuksista ovat syntyneet DFT-scan-testausväylät. IEEE 1149.1 syntyi digitaalidft-tarpeisiin. Rakenteessa on toteutettu 4-nastainen testausportti TAP, jonka läpi testausdata (TDI-nastan kautta) ajetaan kellon TCK synkronoimana. Boundary scan -solut kytketään piirillä siirtorekisteriketjuksi.

Testausdata kulkee sarjassa olevan siirtorekisteriketjun läpi.

Testitulokset ovat talletettuina rekistereissä, joista ne viedään sarjamoituisena testiportin TDO-nastan. Scan-keijut parantavat vikakattavuutta ja mahdollistavat vian kohdentamisen tietylle piirilohkolle.

Standardi

IEEE 1149.1-standardin pohjalta on tehty vuodesta 1993 lähtien määrittelytyötä analogiboundary-scan-standardiksi.

Standardi IEEE 1149.4 on hyväksytty vuonna 1999. IEEE 1149.4 on digitaaliboundary-scan-laajennus, jossa on analogiparametrien mittaussuunnittelu.

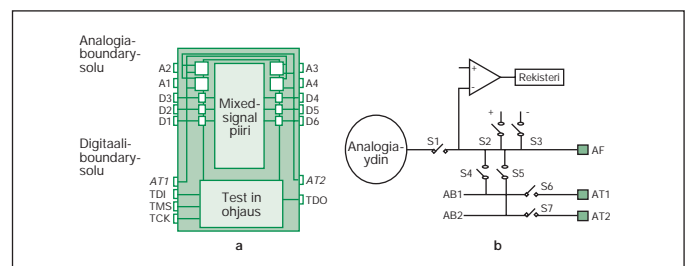
Alla olevassa kuvassa on esitelty IEEE 1149.4 scan-toteutusta. Lisänastoja IEEE 1149.1 -liitäntään verrattuna ovat analogialiitännät AT1 ja AT2. Tietyt mittausten liitännät voidaan toteuttaa kytkemällä mikä tahansa mixed-signal-piirin piste yhteen tai molempiin globaaleihin väyliin AB1 ja AB2, mitkä puolestaan voidaan kytkeä AT1- ja AT2-testipinneihin.

Kytkimen S1 avulla testikytkentä voi ohjata nastaa AF. S2- ja S3 ovat pull up/pull-down-kytkimiä. Kytkin S4 voi ajaa nastaa AB1:stä tulevalla virralla tai jännitteellä. Vastaavasti S5 ja S7 ajavat jännitteet mittaussuunnittelun väylä. Digitoiva vastaanotin voi olla komparaattori, joka saa referenssinsä AT1-liitännästä.

Tähänastiset tutkimukset ovat osoittaneet, että IEEE 1149.4 -väylän soveltaminen mixed-signal-toteutuksiin vaatii vahvaa suunnittelutyötä. Sekasignaaliipiirit käsittelevät pienitasoisia, usein suuritaajuisia signaaleja. Analogia-scan-solu lisää kapasitiivista kuormaa, jolloin signaaliin tulee vääristymää ja viivettä. Lisäksi kaistaleveys pienee.

BIST-rakenteet

Testiväylien kehitystyön rinnalla on edennyt piirille upotettujen itsestestirakenteiden suunnittelu. Sen sijaan että toteutetaan ohjauksrakenteita, piirille toteu-



a) IEEE 1149.4-arkkitehtuuri, b) analogia-boundary-solu.

a) IEEE 1149.4 architecture, b) analog-boundary cell.

Resurssien sijoittelu suunnittelussa				
Tehtävä	Suunnittelu- ja testauskehitys ilman DFT:ä		Suunnittelu- ja testauskehitys DFT huomioiden	
	Suunnittelu-insinööri	Testaus-insinööri	Suunnittelu-insinööri	Testaus-insinööri
Suunnitteluspesifikaation luonti	●		●	
Lohkojen ja koko suunnitelman simulointi	●		●	(●)
Prototyyppi- ja tuotantotestispesifikaatioiden luonti		●	●	
Testien luonti		●	●	●

tetaan signaaligeneraattoreita ja analyysoivia piirirakenteita. Puhutaan Built-In Self-Test-rakenteista eli BIST-rakenteista.

Ideaalinen päämäärä lienee, että kaikki herätteet, mittauspiirit ja tarvittavat ohjausrakenteet toteutetaan piirille. Eduksi voidaan katsoa, että DFT-periaate sulautuu osaksi suunnittelua ja signaalireitit ovat lyhyempiä kuin ulkoista mittausta vaativissa toteutuksissa. Dynaamiset testit voidaan toteuttaa reaalinopeudella ilman ulkoisten mittauslaitteiden aiheuttamaa testausnopeuden pudotusta. BIST-rakenne vaatii lisäpinta-alaa, ja korkealaatuisten analogisten testirakenteiden suunnittelu on monimutkaista ja aikaa vaativaa.

Mixed-signal-BIST-ratkaisuissa on usein mahdollista käyttää hyväksi piirillä olemassa olevaa HW-rakennetta. Siten lisäpinta-alarave on pienempi. Sekasignaali- ja piirit sisältävät muuntimia, jotka ovat kohtuullisen helposti hyödynnettävissä testirakenteissa. Testit voidaan rakentaa digitaalitestien ympärille, ja komponentteja voidaan testata rinnan.

Testattavuus osaksi suunnittelua

Suunnittelijan ja hänen tiiminsä työ on jaettavissa ASIC-piirin valmistuksessa seuraaviin vaiheisiin: suunnitteluspesifikaation luonti, suunniteltujen yksittäisten lohkojen simulointi sekä koko suunnitelman (top level) simulointi, prototyyppi- ja tuo-

tantotestispesifikaatioiden luonti ja suunniteltujen testien luonti.

Ylimmän tason suunnitelma toimitetaan ASIC-toimittajalle, joka prosessoi suunnitelman ASIC-piiriksi. Tyypillisenä mixed-signal-ASIC-suunnittelun tunnuslukuna voidaan pitää 6000 transistoria per henkilötyövuosi, mikä antaa vaikutelman, että suunnittelutyö on hidas prosessi. Sekasignaalisuunnittelu on monilta osin vielä täysin manuaalista työtä, kuten esimerkiksi layout-suunnittelu.

ASIC-spesifikaatio tuottaa spesifikaatiodokumentit, jotka määrittelevät ylimmän tason ja lohkotason suunnitelmat transistoritason toteutuksina. Suunnittelun aikana suunnittelija tuottaa lohkotason transistoritoteutukset ja sitoo ne hierarkkisesti ylimmän tason suunnitelmaan.

Prosessi varmennetaan lohkotason ja ylimmän tason simuloineilla. Lohkotason simuloineilla, joissa tarkistetaan spesifikaation suoritusarvo vaatimukset (performance). Ylimmän tason simuloineilla (top-level simulation) varmennetaan suunniteltavan ASIC:n toiminnallisuutta (functionality).

Prototyyppi- ja tuotantotestispesifikaatiot määrittelevät testiympäristöt, testiolosuhteet, hyväksymisrajat ja tarvittavat ohjaukset. Perinteisesti nämä määrittäykset tekee testaus-suunnittelija. Testaus-suunnittelija toteuttaa testausjärjestelmän, tes-

tausohjelman sekä verifioi ne. Tämän jälkeen hän siirtyy varsinaiseen testausvaiheeseen, mittaamaan ja analyysoimaan saatuja tuloksia.

Oheisessa taulukossa on esitetty, miten resurssien allokointi voidaan toteuttaa ja on toteutettava, kun DFT on osana testausta. Resurssointi on suora seuraus suunnittelun ja testauksen integroimisesta. Testattavuusrakenteiden lisäksi myös suunnittelutyökalut edistävät integroimista.

Tulevaisuuden haasteet

Tulevaisuuden sekasignaali- ja piireissä analogiapiirin osuus tulee olemaan pieni kokonaisuudessaan nähden. Kuitenkin kokonaistuotantokustannuksia dominoivat analogiaosien kustannukset. Analogiatestikustannusten osuus tuotteen kokonaiskustannuksista tulee kasvamaan, ellei muutoksia analogiatastauksen osalle toteuteta.

Kustannustehokkaiden sekasignaali- ja piirien testausmenetelmien ja -tekniikoiden kehitys on oleellinen osa tulevaisuuden järjestelmäpiirien (SoC) kokonaistestausratkaisua. Analogia/mixed-signal-DFT/BIST, joka ylittää suuriin resoluutioihin (muuntimet) ja yhä korkeampiin taajuuksiin, on luonnollinen osa SoC-suunnittelua. On-chip-testausratkaisuja tarvitaan erityisesti muuntimissa ja RF-komponenteissa.

Itsetestirakenteiden avulla on mahdollista toteuttaa tuotteille ennakoivaa diagnostiikkaa, jolloin tuotteiden jatkuva käytettävyys varmistuu. Kompleksisuus ja samoin siihen liittyvät ongelmat lisääntyvät Mooren lain mukaan. Tulevaisuuden piirien laadukas tuotanto edellyttää täysin uusia testausratkaisuja, joita ei pystytä tänä päivänä hahmottamaan.

Uusien teknologioiden, kuten LTCC:n (Low Temperature Co-fired Ceramics), MEMS:n (Micro Electro-Mechanical Systems) ja MOEMS:n (Micro-Op-

toelectro-Mechanical Systems) menestyksellisen soveltaminen edellyttää uusien elinkaaren kattavien ja kustannustehokkaiden testiratkaisujen kehittämistä.

Tulevaisuudessa elinimpäristömme on täynnä elektronisia laitteita, jotka kommunikoivat toistensa kanssa suoraan ja verkkojen kautta. Kokonaisuuden monimutkaisuudesta huolimatta kuluttajat odottavat hyvää laatua ja luotettavuutta, joiden saavuttamiseksi tarvitaan voimakasta panostamista testauksen tutkimukseen ja tuotekehitykseen. ●

Aiheesta enemmän

Burns M., Roberts G. W., An Introduction to Mixed-Signal IC Test and Measurement, Oxford University Press, 2001.

Parker K. P., The Boundary-Scan Handbook: Analog and Digital, 2nd ed., Kluwer Academic Publishers, 1998.

Osseiran A. (ed), Analog and Mixed-Signal Boundary-Scan, A Guide to the IEEE 1149.4 Test Standard, Kluwer Academic Publishers, 1999.

Bushnell M. L., Agrawal V. D., Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits, Kluwer Academic Publishers, 2001.

Edellä mainittuun kirjaan liittyvä PowerPoint-sarja:
www.ece.wisc.edu/~va/COURSE/lectures.html

Asset:

www.asset-intertech.com/scanworks_university.html

Taustat

Kirjoittajat: Tapio Koivukangas, Nokia Oyj, System Design, Senior Manager of Test Development, Veikko Loukusa, Nokia Oyj, Mixed IC Design, Senior Specialist, Markku Moilanen, Oulun yliopisto, sähkö- ja tietotekniikan osasto, professori (ma).

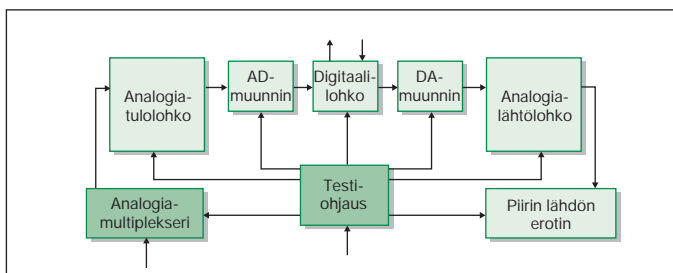
Yhteyshenkilö:

markku.moilanen@ee.oulu.fi

Tutkimus: MIXTE (Integroitujen mixed-signal-piirien testattavuuden kehitys).

Yhteistyössä: Oulun yliopiston sähkö- ja tietotekniikan osasto, Optoelektroniikan ja mittaustekniikan laboratorio, Elektroniikan laboratorio sekä Nokia Oyj ja Elektrobit Oy.

Teknologiaohjelma: ELMO



Mixed-signal-BIST-arkkitehtuuri.

Mixed-Signal-BIST architecture