



One Volt ASIC and SoC Designs

Several factors are driving ASIC designers to use lower supply voltages. Among these are the fight against power consumption and design of portable devices operating with low battery voltages. Modern ASIC technologies also require the use of lower supply voltages. Fincitec has developed solutions for 1 V logic, analogue and RF circuits in two ETX projects. The results have been used in several ASIC design projects.

TIMIC is a joint project with the Electronics laboratory of University of Oulu and five companies. One research area in this project is the development of basic 1 V analogue building blocks. Realisation principles for operational amplifiers, oscillators and voltage references have been examined and test circuits have been processed.

1 V circuitry in three different areas have been developed in Fincitec's internal SDR1V project. Sigma-delta modulator was studied and optimised for maximum dynamic range and minimum power consumption. Switched current and switched operational amplifier techniques were studied, but the final selection was a switched capacitor approach, where the switch control voltages were locally increased above the supply voltage.

The second subject in SDR1V was to examine the possibilities of SiGe process compared to BiCMOS process. A 430 MHz RF frequency synthesiser was designed as a test device. The conclusion was that at such a low frequency BiCMOS was a better choice, but at frequencies above 1 GHz SiGe would have been a better solution.

The third development was a logic library for 0.18 micron CMOS technology. The library is optimised for 0.7-1.8 V voltage range. It was designed for both micropower applications and large system integrations. The packing density is up to 50 000 gates/mm². The number of cells has been kept rather low and cell structure is based on the use of parameterised cells. This enables an easy transfer of the library to new manufacturing technologies.

Fincitec has launched a new low voltage flavoured development project in ETX program. It is called LVSOC, Low Voltage System-On-Chip.

The project is part of the ETX programme and the contact person is development manager Turo Piila (turo.piila@fincitec.fi)

Tehonkulutus hallintaan jännitettä pienentämällä

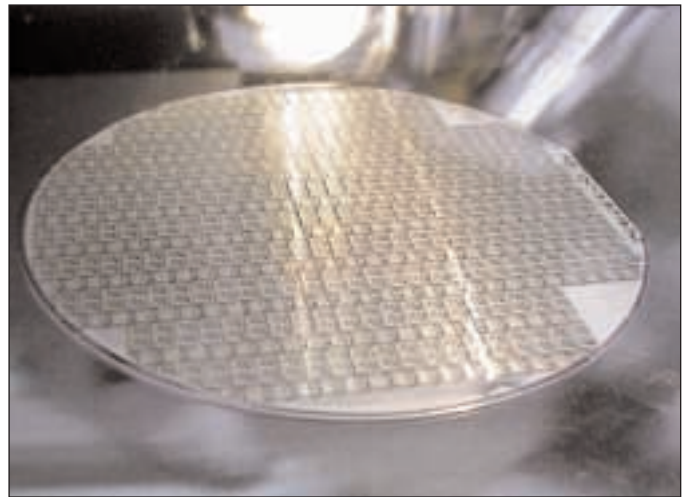
ASIC yhdellä voltilla

Mikropiirien valmistustekniikan kehittyessä pakataan yhä enemmän älyä ja toimintoja yhteen piiriin. Se pyrkii lisäämään piirin tehonkulutusta. Paristokäyttöisissä laitteissa suurempi tehonkulutus pienentää toiminta-aikaa, joka on tärkeä kilpailu- ja mukavuustekijä. Toisaalta ongelmana voi olla syntyvän hukkalämmön poistaminen piiristä ja laitteesta. Käyttöjännitteen laskeminen on tehokas tapa pienentää ASIC-piirien tehonkulutusta, mutta kuinka alas on mahdollista tai järkevää mennä?

Uudet valmistusprosessit mahdollistavat miljoonien porttien integroinnin ja piirin toiminnan yli gigahertsin taajuudella. Vaikka tehonkulutusta kohti laskeekin viivanleveyden kaventuessa, porttien suuri määrä ja korkea kelloaajuus nostavat tehonkulutusta. Tehokkain tapa pienentää logiikan tehonkulutusta on pienentää käyttöjännitettä. Piirin tehonkulutusta kuvaavasta kaavasta havaitaan, että käyttöjännitettä alentamalla voidaan tehonkulutusta pienentää neliöllisesti, kun taas muut tekijät vaikuttavat lineaarisesti tehonkulutukseen.

ASIC-teknologian haasteet

ASIC-piirien valmistusprosessien viivanleveyden kaventuessa käyttöjännitteen arvo pienenee. Nyt käytössä olevilla 0,18-0,35 mikrometrin piireillä käyttöjännitteet ovat alueella 1,5-3,5 voltilla. Jo viiden vuoden kuluessa käytössä on alle 0,1 mik-



rometrin prosesseja, jolloin jännite tulee olemaan yhden voltin luokkaa. Jos siis halutaan hyödyntää uusien teknologioiden mahdollistama suuri pakkaustiheys ja pieni tehonkulutus, on sopeuduttava pieniin jännitteisiin.

Viivanleveyden pienentämisen nopeuttaa piirin toimintaa, koska viivettä aiheuttavat kuorman- ja hajakapasitanssit pienenevät. Toisaalta jännitteen laskeminen hidastaa piirin toimintaa transistoreiden kytkinvasituksen kasvaessa. Ajoitusten hallinta on normaaleillakin jännitteillä useita iterointikierroksia vaativa prosessi. Kun menään erittäin alhaisiin jännitteisiin, signaalien pitkät viipeet, hitaat nousu- ja laskuajat sekä viipeiden suuri hajonta vaikeuttavat entisestään toimivan ajoituksen toteuttamista.

Jos jännitteen lasku tuokin ongelmia logiikkasuunnitteluun, aivan omaa luokkaansa ovat hankaluudet integroitaessa laadukkaita analogiaosia logiikan yhteyteen matalilla jännitteillä. Signaalien toiminta-alue jää satoihin millivolteihin, jolloin kohina ja häiriöt tulevat helposti näkyviin. Analogiakytinten toiminnassa törmätään vaikeuksiin avata kytkimet johtaviksi koko signaalin dynaamisella alueella ja toisaalta suljettaessa

transistorit saattavat vuotaa pienen kynnysjännitteen vuoksi.

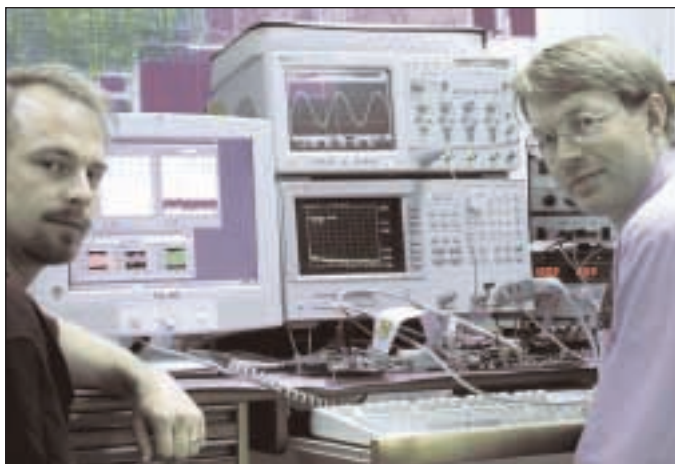
Fincitec on kehittänyt yhden voltin logiikka-, analogia- ja RF-osien integrointiosaamista ETX-ohjelmaan kuuluvien tutkimuslaitos- ja yritysprojektien avulla. Saatuja tuloksia on siirretty käytäntöön jo monissa asiakasprojekteissa.

Yhden voltin järjestelmäpiirit

Järjestelmäpiirien integrointi asettaa suunnittelijat uusien haasteiden eteen. Jo piirin suunnittelutietokantojen koko asettaa suuria vaatimuksia sekä ohjelmille että tietokoneille. Perinteisiin työvaiheisiin kuten synteisiin, simulointiin, testi-vektorigenerointiin ja piirikuvion tekoon tarvitaan uutta tehoa.

Lisäksi on tulossa kokonaan uusia välineitä tehostamaan suunnittelun varmennusta. Tällaisia ovat esimerkiksi staattinen ajoitusanalyysi ja formaalinen verifointi. Häiriöiden kytkeytymisen, ajoitusongelmien ja tehonkulutuksen hallinta edellyttää uusia ratkaisuja myös järjestelmätason suunnitteluun.

Analogis-digitaalisten järjestelmäpiirien testaus vaatii myös uusia ratkaisuja. Täälläkin suuri koko, pieni jännite ja häiriöt tuovat uusia vaatimuksia tes-



Yhden voltin jännitteellä toimivan sigma-delta AD-muuntimen prototyypitetausjärjestely.
Prototype test system for 1V sigma-delta AD converter.

$$P_{\text{vaihding}} = \sum_1^n C_{\text{load}} \cdot V_{\text{DD}}^2 \cdot \alpha \cdot f$$

Piirin tehonkulutusta kuvaavassa kaavassa n on porttien määrä, C_{load} on ladattava kuormakapasitanssi, V_{DD} käyttöjännite, α aktiviteettikerroin ja f kellotaajuus.

The formula of power consumption where n describes gate amount, C_{load} load capacitance, V_{DD} operating voltage, α activity coefficient and f clock frequency.

taukseen. Prototyypivaiheessa testattavien asioiden määrä kasvaa ja testausta on automatisoitava, etteivät aikataulut venyisi mahdolltomiksi. Myös mitaustulosten käsittelyä on automatisoitava. Tuotantovaiheen testaus taas on puristettava muutama sekuntiin testauskustannuksen pitämiseksi kurissa.

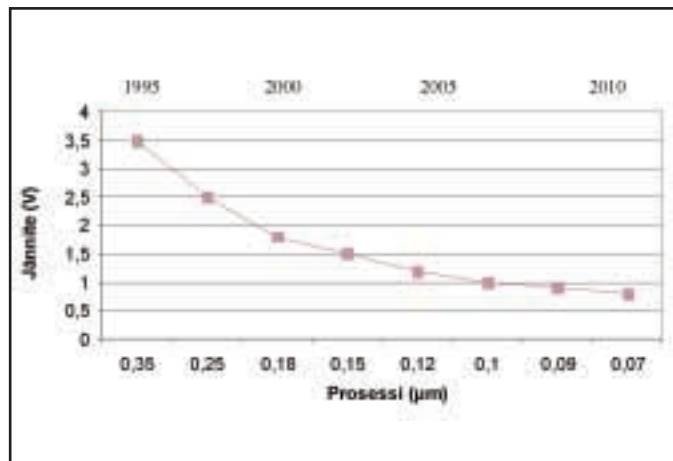
Pienijännitteisten järjestelmä-

piirien suunnitteluosaamisen kehittämiseen ja testausongelmien ratkaisuun tähdätään uudella Fincitecin LVSOC-projektilla (Low Voltage System-On-Chip), jossa kehitetään suunnittelun menetelmiä, välineitä ja testausratkaisuja.

Täsmäkehitystä omin voimin

Fincitecin sisäisessä SDR1V-projektissa kehitettiin yhden voltin suunnitteluosaamista kolmen tutkimusaiheen avulla. Ensimmäisessä tutkittiin sigma-delta-modulaattorin rakennesiöiden toteuttamista matalalla jännitteellä. Erikoisesti tähdättiin dynamiikan maksimointiin ja tehonkulutuksen minimointiin. Tarkempaa tietoa aiheesta on oheisessa tekstilaatikossa.

Toisessa tutkimusaiheessa käsiteltiin 400 megahertsin vaihelukon toteutusta pii-germanium-



Integroitujen piirien valmistusprosessien kehittyessä piirien käyttöjännite väijäämättä laskee.
The supply voltage of integrated circuits is inevitably reduced as the manufacturing processes evolve.

prosessilla. SiGe-prosessi soveltuu hyvin matalajännitteisten RF-osien toteuttamiseen. Tässä tapauksessa tosin osoittautui, että tällä taajuusalueella BiCMOS-prosessilla saadaan parempi suorituskyky edullisemmin. SiGe-prosessin edut toteutuvat vasta yli yhden gigahertsin taajuuksilla. Tarkempaa tietoa löytyy oheisesta tekstilaatikossa.

Kolmannessa vaiheessa kehitettiin 0,7-1,8 voltin käyttöjännitteelle optimoitu logiikkakirjasto 0,18 mikrometrin prosessille. Kirjasto on suunniteltu täyttämään sekä mikrotehoisten ASIC-piirien että suurten järjestelmäntegroitien tarpeet. Tehonkulutus kiikkua kohti saatiin alle 20 nanowattiin megahertsillä ja pakkaustiheydeksi jopa 50 000 porttia neliömillimetrille.

Sigma-delta-modulaattori matalalle käyttöjännitteelle

Perinteinen tapa toteuttaa sigma-delta-modulaattori on käyttää kytkettyjen kapasitanssien (SC, Switched Capacitor) tekniikkaa, joka on hyvin tunnettu ja käyttökelpoinen tekniikka. Matalalla käyttöjännitteellä, esimerkiksi yhdellä voltilla, kohdataan kuitenkin ongelmia kytkinten käytössä, koska kytkinten ohjaussignaalin matalasta tasosta johtuen kytkintä ei pystytä aukaisemaan. Tämä ongelma voidaan ratkaista usealla tavalla.

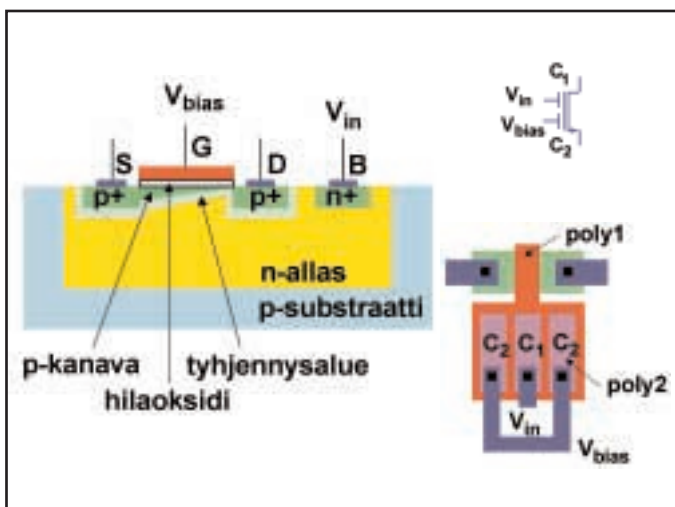
Analogiaosan käyttöjännite voidaan nostaa esimerkiksi kaksinkertaiseksi, jolloin kytkimet toimivat oikein. Koska kaikki muutkin analogiset piirirakenteet toimivat kaksinkertaisella jännitteellä, niin hyötysuhteeltaan tämä menetelmä on huono, eikä se näin ollen ole optimaalinen pienitehoisiin piireihin. Ongelmana on myös se, että nostettaessa käyttöjännite koko analogiaosalle tarvitaan yksi ulkoinen lisäkomponentti, mikä lisää tuotteen hintaa.

Toinen vaihtoehto on nostaa ainoastaan kytkimien ohjaussignaali paikallisesti ja suunnitella loput piirirakenteet matalalle käyttöjännitteelle. Koska kytkintransistorien hilojen aiheuttama kuormitus on pieni, voidaan ohjaussignaalin korotus tehdä piirin sisäisesti jopa 95 prosentin hyötysuhteella. Tämä menetelmä on todettu varsin toimivaksi pienellä käyttöjännitteellä käytettäessä.

Tulevaisuudessa viivanveyvyyden yhä pienentyessä ja hilaoksidin ohentuessa transistorien läpilyöntijännitteet pienenevät jopa niin paljon, että käyttöjännitteen tai jopa yksittäisen signaalin tason nostaminen kaksinkertaiseksi saattaa aiheuttaa piirin sisäisen vaurioitumisen. Tällaisessa tapauksessa koko piiri, mukaan lukien kytkimet, on suunniteltava toimimaan ainoastaan matalalla käyttöjännitteellä. Kytkinongelma voidaan ratkaista käyttämällä jännitteen korottamisen sijasta kytkettyjä operaatiovahvistimia (SOA-tekniikka, Switched Operational Amplifier).

Myös SI-tekniikka (switched current (=I)) soveltuu matalan käyttöjännitteen sigma-delta-modulaattorin suunnitteluun. Tekniikan ongelmana on rakenteista johtuva kohina, joka rajoittaa sen käytön ainoastaan matalan, enimmillään noin kymmenen bitin, signaalikohinasuhteen omaaviin modulaattoreihin. Menetelmää voidaan käyttää yhden polykerroksen omaavissa digitaalisen CMOS-prosesseissa, mikä onkin tämän tekniikan suurin etu.

On myös olemassa erikoisprosessi, joissa transistorien kynnsyjännite on luokkaa 0,2-0,3 voltia. Tällaista prosessia käytettäessä ei kytkinten aukaisu ole ongelma, mutta transistorien vuotovirta saattaa vaikuttaa huomattavasti piirin tarkkuuteen ja tehonkulutukseen.



MOS-transistoreiden tavanomaisesta poikkeavilla käyttötavoilla saadaan kynnsyjännitteen vaikutusta pienennetyksi. Vasemmalla allasohjattu PMOS-transistori ja oikealla kelluvahilainen transistori. Bulk driven and floating gate MOS transistors are examples of abnormal transistor use for reaching lower threshold voltages.

Vaihelukko pii-germanium-prosessilla

Integroituja RF-piirejä varten on kehitetty pii-germanium-teknologia (SiGe), jossa normaalin BiCMOS-prosessin npn-transistorin kannalle seostetaan germaniumia transistorin ominaisuuksien kuten taajuusvasteen, virtavahvistuksen ja kohinan parantamiseksi.

SiGe-teknologian soveltuvuutta erittäin pienen käyttöjännitteen RF-suunnitteluun tarkasteltiin sekä teoreettisesti että simulointien avulla ja vertailtiin sitä normaaliin BiCMOS-prosessiin. Lisäksi suunniteltiin SiGe-prosessille RF-taajuussyntetisaattori, jonka lähtötaajuus on 432 megahertsiä. Piirin käyttöjännite on erittäin matala, vain yksi voltia.

Osoittautui, että tarkasteltu SiGe-teknologia soveltuu yhden voltin RF-suunnitteluun, mutta siitä saadut hyödyt ovat odotettua pienempiä. Varsinkin heteroliitostransistorin kohinaominaisuudet ovat alle yhden gigahertsin taajuuksilla pettymys. Pienillä virrantiheyksillä heteroliitostransistorin nopeus on samaa luokkaa kuin tavallisen piipohjaisen bipolaaritransistorin nopeus. Tässä tarkasteltiin AMS:n 0,8 mikrometrin SiGe-prosessia, joka oli vielä kehi-

tysvaiheessa eikä edustanut SiGe-prosessien parhaimmistoa. Tällaisena se soveltuu hyvin yli gigahertsin taajuudella toimivien piirien valmistukseen.

Vaihelukkopiirin jänniteohjatun oskillaattorin (VCO) rakenteeksi valittiin relaksaatiotyypinen oskillaattoritopologia, koska rakenteella saavutetaan riittävän pieni vaihekohinan arvo. Käytetty VCO-rakenne on suunniteltu toimimaan yhden voltin käyttöjännitteellä. Valittu oskillaattorirakenne on houkutteleva myös siitä syystä, että sen toiminta ei perustu värähtelypiiriin, jossa toisena reaktiivisena komponenttina on käytetty kela. Tästä syystä oskillaattori on helppo toteuttaa täysin integroituna.

Piirin digitaaliosat tehtiin CML-logiikalla, koska MOS-transistoreiden nopeus ei ole riittävä käytetyssä prosessissa yhden voltin käyttöjännitteellä. Pieni jännite esti myös tavanomaisen ECL-logiikan käytön. Koko syntetisaattorin virrankulutukseksi saatiin noin kymmenen milliampeeria.

Kirjaston solujen fyysinen rakenne perustuu parametrisoitujen transistorien käyttöön. Tämä mahdollistaa kirjaston helpon siirrettävyyden uusille teknologioille. Nopeaa uudelleenkarakterisointia varten on kehitetty menetelmät ajoitus- ja tehonkulutusparametrien laskentaan. Solujen lukumäärä on pyritty pitämään alhaisena (alle 50) ja erilaiset ajokykytarpeet toteutetaan sopivilla invertterijä puskurisolulla. Soluista kytkeytyvän substraattikohinan määrä on minimoitu erikoisratkaisuilla herkkiin sekasignaalisovelluksiin sopivaksi.

Kirjasto tukee yleisesti käytössä olevia synteesi- ja simulointiohjelmistoja. Myös simulointiin perustuva tehonkulutuksen analysointi on tuettu. Koepiirin mittauksilla varmistettiin kirjaston toimivuus ja tehonkulutussimulointien paikkansapitävyys.

Peruskehitystä yhteistyössä

Oulun yliopistossa nyt kolmatta vuotta toimivassa TIMIC-projektissa on viisi yritystä yliopiston elektroniikan laboratorion partnereina. Yksi tutkimusaiheista on yhden voltin perusanalogiaosien, kuten vahvistinten, oskillaattorien ja jännitereferenssien, tutkiminen ja kehittäminen.

Tutkimusprojektissa on ollut mahdollista kokeilla eksoottisia-

kin vaihtoehtoja, joihin tuotekehitysprojekteissa ei ole varaa uskaltautua. Esimerkkejä tällaisista kokeiluista ovat MOS-transistorien kynnysjännitteiden pienentäminen ohjaamalla transistoria substraatin puolelta normaalin hilaohjauksen asemesta tai lisäämällä kelluva välihiila transistoriin. ●

Aiheesta enemmän:

Fincitec Oy: www.fincitec.com

Oulun YO Elektroniikan lab.:

www.ee.oulu.fi/electronics/

Circuits and Systems Group:

www.infotech.oulu.fi/cas

Elrabaa et. al.: Advanced Low-Power Digital Circuit Techniques, Kluwer, 1997.

Asic med låg effekt, Elektronik i Norden, 12/2000.

Taustat

Kirjoittaja: Turo Piila toimii Fincitec Oy:n tuotekehityspäällikkönä.

Yhteystieto: turo.piila@fincitec.fi

Tutkimus: Tietoliikenteen ja mitaustekniikan IC-rakenteet (TIMIC), Yhden voltin jännitteellä toimivien Sigma-Delta ja RF-modulien kehitys (SDR1V) ja Low voltage SoC-piirien suunnittelun ja testauksen kehittäminen (LVSOC).

Teknologiaohjelma: ETX